

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-074746

(43)Date of publication of application : 17.03.1995

(51)Int.Cl.

H04L 12/28  
H04L 12/24  
H04L 12/26

(21)Application number : 05-214643

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.08.1993

(72)Inventor : TATEISHI HIROOMI

SATO HIROYUKI

IINO TOSHIYUKI

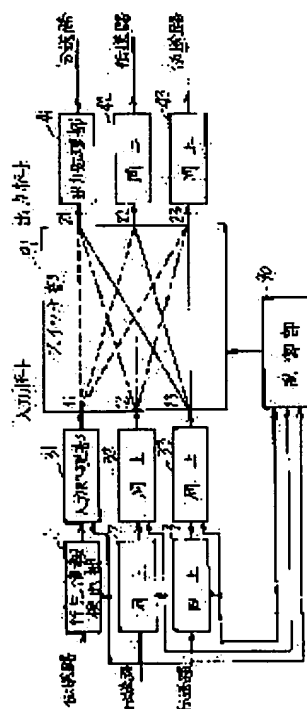
WATANABE TOSHIAKI

## (54) METHOD FOR DETECTING FAULT OF CONTROL SECTION

### (57)Abstract:

**PURPOSE:** To prevent erroneous transmission when an output, port number and a serial number added by an input processing section is coincident with an output port number of an output processing section and serial numbers are in ascending or descending order.

**CONSTITUTION:** Destination information detected by a data string to input processing sections 31, 32, 33, and an output port number in matching with the destination and a serial number of a data string depending on a path are added to the information and the result is sent to input ports 11, 12, 13 of a switch display section 91. Output processing sections 41, 42, 43 detect an output port number and a serial number from the data string to discriminate whether or not the output port number is coincident with the output port number to which a concerned processing section, and when they are dissident, an alarm is raised. Furthermore, the sequence of a serial number is discriminated and when the numbers are not sequential numbers, an alarm is raised. Thus, a fault of a control section such as selection error of valid path, transmission of packet in duplicate, missing of packet and transmission of



packets in reverse order is detected to improve the reliability of a cross connect section.

---

#### LEGAL STATUS

[Date of request for examination] 08.08.2000

[Date of sending the examiner's decision of rejection] 16.07.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-74746

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L	12/28			
	12/24			
	12/26			
		8732-5K	H 0 4 L 11/ 20	Z
		8732-5K	11/ 08	
			審査請求 未請求 請求項の数 1	O L (全 8 頁)

(21) 出願番号 特願平5-214643

(22) 出願日 平成5年(1993)8月31日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 立石 博臣

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 佐藤 宏行

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 飯野 敏幸

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

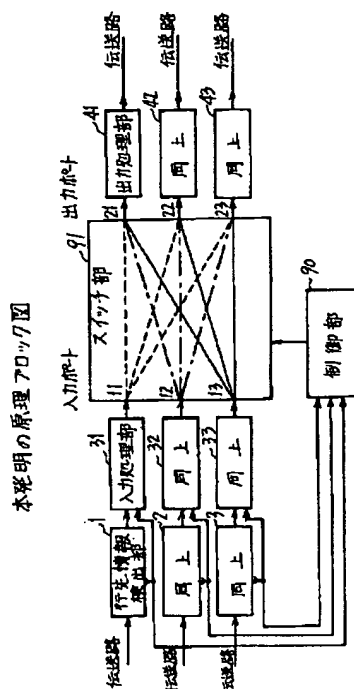
最終頁に続く

(54) 【発明の名称】 制御部異常検出方法

(57) 【要約】 (修正有)

【目的】 有効とするバスの選定誤り、パケットの重複送出、送るべきパケットを送らない欠落送出、送るべき順番が逆になった順番逆送出等を起こした制御部の異常を検出する。

【構成】 各行先情報検出部1, 2, 3と各入力ポート11, 12, 13間に、対応の行先情報検出部1, 2, 3より行先情報を入力し、行先情報に合致した出力ポート番号と、有効とすべきバス別のデータ列のシリアル番号をデータ列に付加する入力処理部31, 32, 33と、各出力ポート21, 22, 23と各出力側伝送路間には、データ列より、出力ポート番号及びバス別のデータ列のシリアル番号を検出し、検出出力ポート番号が自己の接続出力ポートと一致するかどうかを判定し、不一致なら警報を出力し、バス別のデータ列のシリアル番号が順番か否かを判定し、順番でなければ警報を出力する出力処理部41, 42, 43とを設ける。



1

## 【特許請求の範囲】

【請求項 1】 行先情報とデータよりなるデータ列が夫々入力する複数の入力側伝送路対応にポート（11, 12, 13）を持ち、複数の出力側伝送路対応にポート（21, 22, 23）を持ち、制御部（90）の制御により、各ポートと各出力側ポート間のバスを有効とすることでクロスコネクトを行うスイッチ部（91）と、

各ポート（11, 12, 13）と各入力側伝送路間に設けられた、データ列より行先情報を検出し該制御部（90）に送る行先情報検出部（1, 2, 3）と、該行先情報検出部（1, 2, 3）より行先情報が入力すると、行先情報を送った行先情報検出部の接続されているポートと、行先情報対応の出力側ポート間のバスを有効としてデータ列を伝送させる該制御部（90）を有するクロスコネクト部において、

各行先情報検出部（1, 2, 3）と各ポート（11, 12, 13）間に、対応の行先情報検出部（1, 2, 3）より行先情報を入力し、行先情報に合致した出力側ポート番号と、有効とすべきバス別のデータ列のシリアル番号を該データ列に付加する入力処理部（31, 32, 33）と、

各出力側ポート（21, 22, 23）と各出力側伝送路間には、データ列より、出力側ポート番号及びバス別のデータ列のシリアル番号を検出し、検出した出力側ポート番号が自己の接続されている出力側ポートと一致するかどうかを判定し、不一致なら警報を出力し、バス別のデータ列のシリアル番号が順番であるかどうかを判定し、順番でなければ警報を出力する出力処理部（41, 42, 43）とを設けたことを特徴とする制御部異常検出方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、行先情報とデータよりなるパケットの如きデータ列を用い、データ通信を行う通信装置の、クロスコネクト部の制御部の異常を検出する制御部異常検出方法に関する。

## 【0002】

【従来の技術】 図5は従来例のクロスコネクト部のブロック図である。図5は、3個の入力側伝送路より夫々入力する行先情報とデータよりなるパケットを、3個の出力側伝送路の内の何れかの伝送路に送る場合のクロスコネクト部であり、クロスコネクトを行うスイッチ部91には、3個のポート11, 12, 13及び3個の出力側ポート21, 22, 23を有し又、ポート11と出力側ポート21, 22, 23間にはバス101, 102, 103を有し、ポート21と出力側ポート21, 22, 23間にはバス201, 202, 203を有し、ポート31と出力側ポート21, 22, 23間にはバス301, 302, 303を有する。

【0003】 各ポート11, 12, 13と各入力側

2

伝送路間には行先情報検出部1, 2, 3を有し、又各出力側ポート21, 22, 23と各出力側伝送路間にはパリティチェック部51, 52, 53を有する。

【0004】 入力側伝送路より送られてくる行先情報とデータよりなるパケットが、例えば行先情報検出部1にすると、行先情報検出部1は行先情報を検出し制御部90に送る。

【0005】 制御部90では、行先情報が送られてきた行先情報検出部1と送られてきた行先情報よりパケットを送るべき出力側ポート例えば21及び有効とするバス101を求め、バス101を有効とし、パケットをバス101, 出力側ポート21、パリティチェック部51を介して出力側伝送路に送るようにする。又同じ出力側ポートに送るべきパケットが同時刻にすると、競合を避ける為に、例えば若い番号のポートよりした方を先に出力側ポートに送るように、有効とするバスを選定するように予め定めてある。

【0006】 パリティチェック部51では、データのパリティチェックを行いビットエラーがあればこれを検出するようにしてある。

## 【0007】

【発明が解決しようとする課題】 しかしながら、有効とするバスの選定誤り、パケットの重複送出、送るべきパケットを送らない欠落送出、送るべき順番が逆になった順番逆送出等を起こす制御部90の異常を検出出来ない問題点がある。

【0008】 本発明は、有効とするバスの選定誤り、パケットの重複送出、送るべきパケットを送らない欠落送出、送るべき順番が逆になった順番逆送出等を起こした制御部の異常を検出出来る制御部異常検出方法の提供を目的としている。

## 【0009】

【課題を解決するための手段】 図1は本発明の原理ブロック図である。図1に示す如く、行先情報とデータよりなるデータ列が夫々入力する複数の入力側伝送路対応にポート11, 12, 13を持ち、複数の出力側伝送路対応に出力側ポート21, 22, 23を持ち、制御部90の制御により、各ポートと各出力側ポート間のバスを有効とすることでクロスコネクトを行うスイッチ部91と、各ポート11, 12, 13と各入力側伝送路間に設けられた、データ列より行先情報を検出し該制御部90に送る行先情報検出部1, 2, 3と、該行先情報検出部1, 2, 3より行先情報がすると、行先情報を送った行先情報検出部の接続されているポートと、行先情報対応の出力側ポート間のバスを有効としてデータ列を伝送させる該制御部90を有するクロスコネクト部において、各行先情報検出部1, 2, 3と各ポート11, 12, 13間に、対応の行先情報検出部1, 2, 3より行先情報を入力し、行先情報に合致した出力側ポート番号と、有効とすべきバス別のデータ列のシリア

ル番号を該データ列に付加する入力処理部 31, 32, 33 と、各出力ポート 21, 22, 23 と各出力側伝送路間には、データ列より、出力ポート番号及びバス別のデータ列のシリアル番号を検出し、検出した出力ポート番号が自己の接続されている出力ポートと一致するかどうかを判定し、不一致なら警報を出力し、バス別のデータ列のシリアル番号が順番であるかどうかを判定し、順番でなければ警報を出力する出力処理部 41, 42, 43 とを設けた構成とする。

【0010】

【作用】本発明によれば、入力処理部 31, 32, 33 夫々には、行先情報検出部 1, 2, 3 夫々にてデータ列より検出した行先情報を夫々入力し、行先情報に合致した出力ポート番号と、有効とすべきバス別のデータ列のシリアル番号を該データ列に付加して、スイッチ部 91 の入力ポートに送り、制御部 90 の制御により有効としたバス、出力ポートを介して、該出力ポートに接続された出力処理部に送る。

【0011】出力処理部 41, 42, 43 では、送られてきたデータ列より出力ポート番号及びバス別のデータ列のシリアル番号を検出し、検出した出力ポート番号が自己の接続されている出力ポートと一致するかどうかを判定し、不一致なら警報を出力し、バス別のデータ列のシリアル番号が順番であるかどうかを判定し、順番でなければ警報を出力するので、有効とするバスの選定誤り、パケットの重複送出、送るべきパケットを送らない欠落送出、送るべき順番が逆になった順番逆送出等を起こした制御部の異常を検出することが出来る。

【0012】

【実施例】図 2 は本発明の実施例のクロスコネクタ部のブロック図、図 3 は本発明の実施例の入力処理部のブロック図、図 4 は本発明の実施例の出力処理部のブロック図である。

【0013】図 2 で図 5 の従来例と異なる点は、入力処理部 31, 32, 33 を、行先情報検出部 1, 2, 3 と入力ポート 11, 12, 13 間に設けた点と、出力処理部 41, 42, 43 を、出力ポート 21, 22, 23 とパリティチェック部 51, 52, 53 間に設けた点であるので、この異なる点を中心に以下説明する。

【0014】入力処理部につき入力処理部 31 を代表例として図 3 を用いて動作を説明する。入力処理部 31 では、行先情報検出部 1 にてパケットより検出した行先情報を、出力番号検出部 60 に入力し、出力番号検出部 60 では行先情報に合致した出力ポート番号と、有効とすべきバスの番号を検出し、出力ポート番号は出力ポート番号付加部 61 に送りパケットに付加し、有効とすべきバスの番号が例えば 101 であれば、バス 101 用カウンタ 62 にパルスを送り 1 つカウントアップさせ、カウントアップされた値を、バス別のパケットのシリアル番号付加部 65 に送り、パケットに、バス別のパケットの

シリアル番号を付加して入力ポート 11 に送るようにする。

【0015】この出力するパケットを示すと図 3 (A) に示す如く、行先情報、データ、出力ポート番号、バス別パケットのシリアル番号よりなるものとなる。次に出力処理部につき出力処理部 41 を代表例として図 4 を用いて動作を説明する。

【0016】図 3 (A) に示す如きパケットが出力ポート 21 より入力すると、出力ポート番号検出比較部 70 では、パケットより出力ポート番号を検出し、出力処理部 41 が接続されている出力ポート番号と比較し、一致していればそのまま、一致していなければアラームを出力し、パケットを次のバス別パケットのシリアル番号検出部 71 に送る。

【0017】バス別パケットのシリアル番号検出部 71 では、パケットよりバス別パケットのシリアル番号を検出し、比較判定部 73 及びバス別パケットのシリアル番号ラッチ部 72 に送る。

【0018】バス別パケットのシリアル番号ラッチ部 72 では、バス別パケットのシリアル番号が入力すると、1 つ前にラッチしたバス別パケットのシリアル番号を比較判定部 73 に送り、比較判定部 73 では、バス別パケットのシリアル番号検出部 71 より送られてきたバス別パケットのシリアル番号が、ラッチ部 72 よりシリアル番号より 1 つ大きい値であれば正常と判定し、同じであれば重複、1 つ以上大きい値であれば欠落、1 つ以上少ない値であれば順番の逆の異常と判定しアラームを出力する。

【0019】上記説明の入力処理部 31 の動作は、入力処理部 32, 33 でも同じであり、上記説明の出力処理部 41 の動作は、出力処理部 42, 43 でも同じである。尚以上は、入力ポートが 3 個、出力ポートが 3 個ある場合で説明したが、入力ポート、出力ポートの数は複数であれば本発明が適用出来るのは勿論である。

【0020】

【発明の効果】以上詳細に説明せる如く本発明によれば、有効とするバスの選定誤り、パケットの重複送出、送るべきパケットを送らない欠落送出、送るべき順番が逆になった順番逆送出等を起こした制御部の異常を検出出来、クロスコネクタ部の信頼性を向上する効果がある。

【図面の簡単な説明】

【図 1】は本発明の原理ブロック図、

【図 2】は本発明の実施例のクロスコネクタ部のブロック図、

【図 3】は本発明の実施例の入力処理部のブロック図、

【図 4】は本発明の実施例の出力処理部のブロック図、

【図 5】は従来例のクロスコネクタ部のブロック図である。

【符号の説明】

5

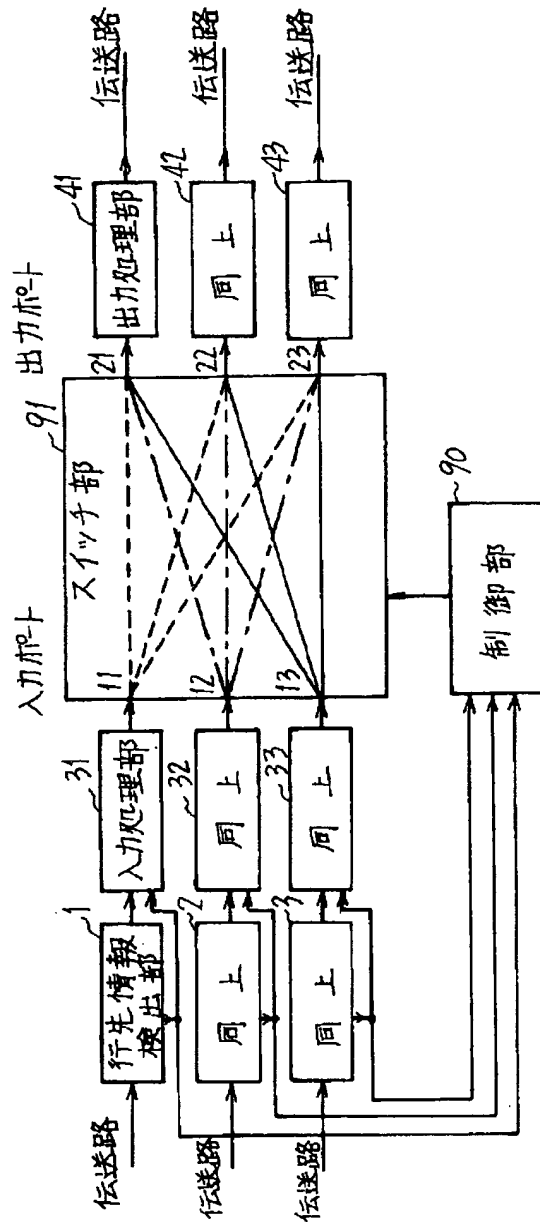
6

1, 2, 3は行先情報検出部、11, 12, 13は入力ポート、21, 22, 23は出力ポート、31, 32, 33は入力処理部、41, 42, 43は出力処理部、51, 52, 53はパリティチェック部、60は出力ポート番号検出部、61は出力ポート番号付加部、62はバス101用カウンタ、63はバス102用カウンタ、6

4はバス103用カウンタ、65はバス別バケットのシリアル番号付加部、70は出力ポート番号検出比較部、71はバス別バケットのシリアル番号検出部、72はバス別バケットのシリアル番号ラッチ部、73は比較判定部、90は制御部、91はスイッチ部、101~103, 201~203, 301~303はバスを示す。

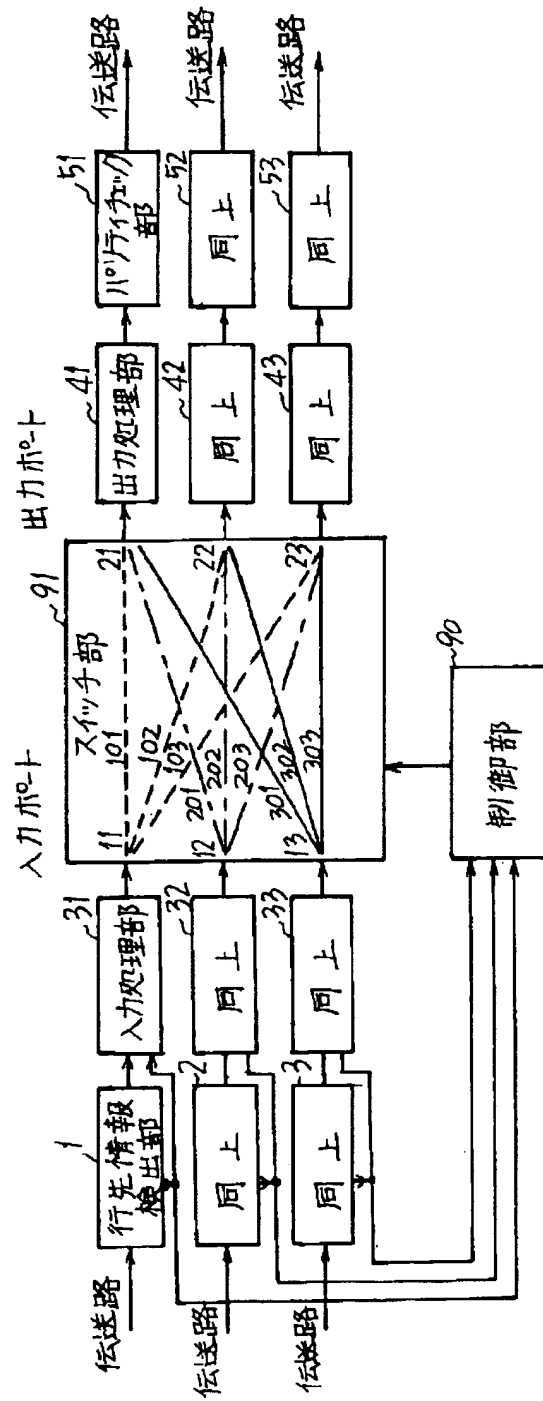
【図1】

本発明の原理ブロック図

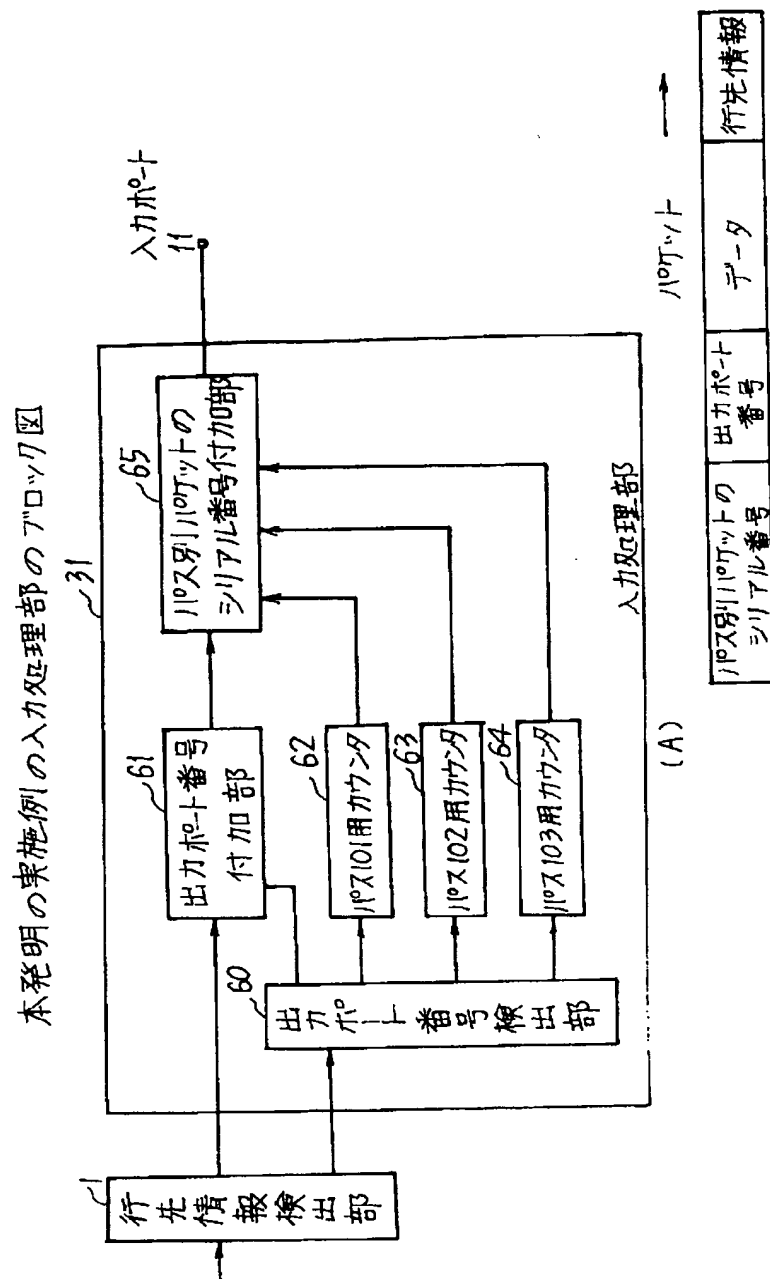


【図2】

本発明の実施例のクロスコネクタ部のブロック図



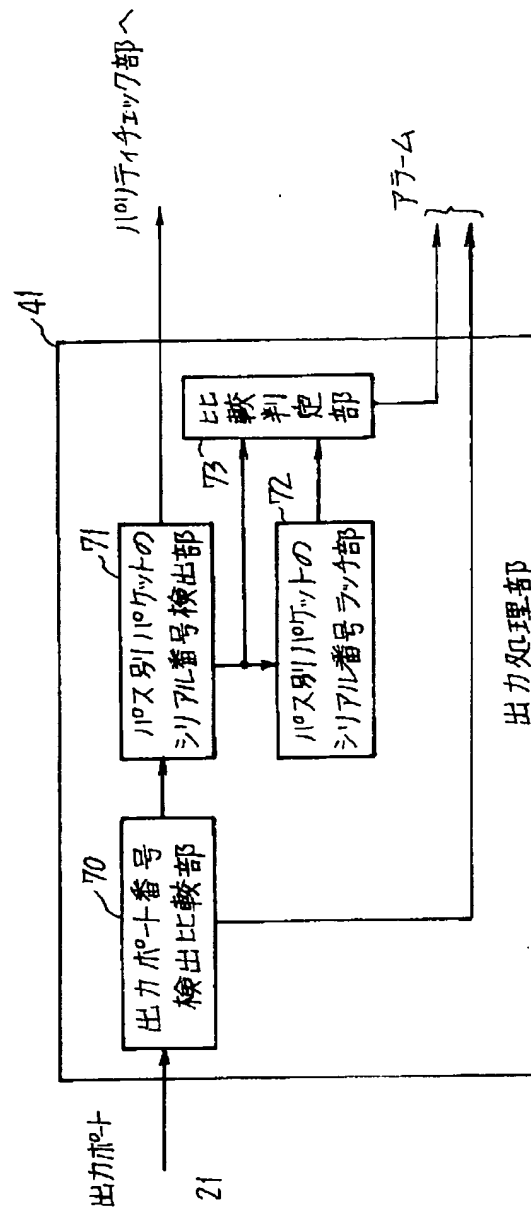
【図3】





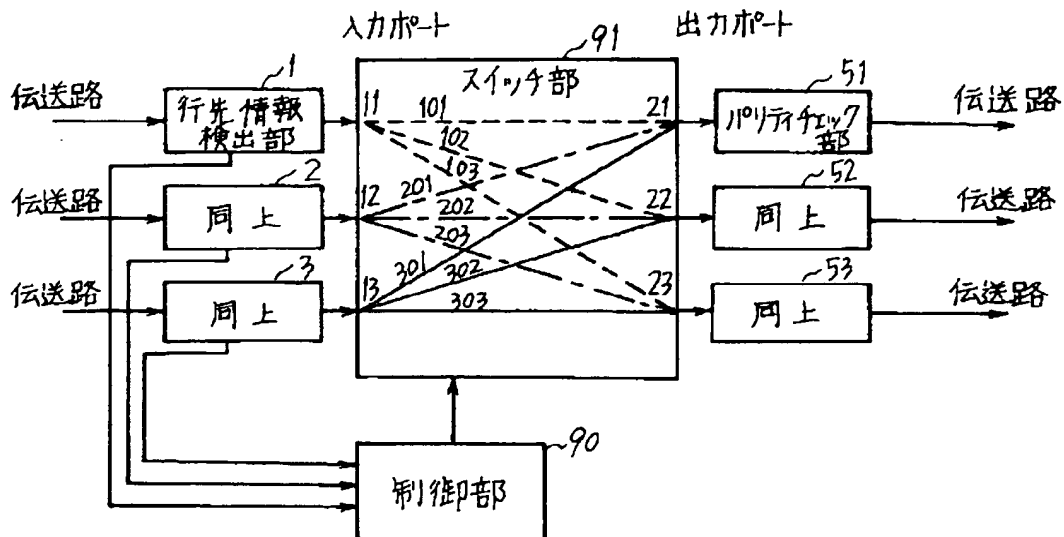
【図4】

本発明の実施例の出力処理部のブロック図



【図5】

## 従来例のクロスコネクト部のブロック図



フロントページの続き

(72)発明者 渡辺 利明  
 神奈川県川崎市中原区上小田中1015番地  
 富士通株式会社内